

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000058743 A

(43) Date of publication of application: 25.02.00

(51) Int. Cl **H01L 25/065**
H01L 25/07
H01L 25/18
H01L 21/60

(21) Application number: 10218198

(71) Applicant: SANYO ELECTRIC CO LTD

(22) Date of filing: 31.07.98

(72) Inventor: TSUBONOYA MAKOTO

(54) SEMICONDUCTOR DEVICE

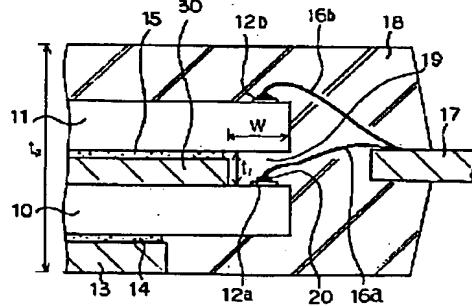
to the second bonding wire 16a.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To provide a multi-chip type semiconductor device wherein an insulating spacer is held between first and second semiconductor chips to allow wire bonding to an electrode pad concealed under the chip.

SOLUTION: A first semiconductor chip 10 is fitted to an island 13 while a second semiconductor chip 11 is fitted on the first semiconductor chip 10 with a spacer 30 in between. The first semiconductor chip 10 is connected to a lead terminal 17 with a first bonding wire 16a while the second semiconductor chip 11 is connected to the lead terminal 17 with a second bonding wire 16b. The first and the second semiconductor chips 10 and 11 have similar chip size and shape, and a first electrode pad 12a is concealed under the second semiconductor chip 11 from a top view. Using a space 19 formed by the spacer 30, the first electrode pad 12a is connected



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58743

(P2000-58743A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.
H 01 L 25/065
25/07
25/18
21/60 譲別記号
3 0 1

F I
H 01 L 25/08
21/60

デマコード*(参考)
Z 5 F 0 4 4
3 0 1 B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平10-218198
(22)出願日 平成10年7月31日(1998.7.31)

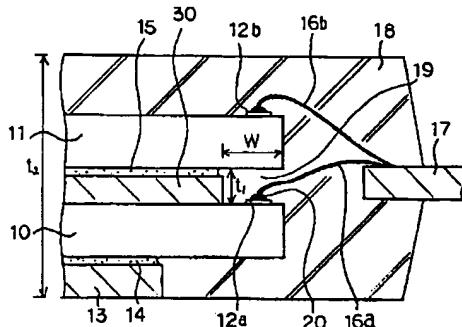
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 坪野谷 誠
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 100076794
弁理士 安富 耕二 (外1名)
Fターム(参考) 5F044 AA01 HH02

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 第1と第2の半導体チップの間に絶縁スペーサを挟むことにより、チップの下に隠れる電極パッドへのワイヤボンディングを可能にした、マルチチップ型の半導体装置を提供する。

【解決手段】 アイランド13上に第1の半導体チップ10を固着し、第1の半導体チップ10の上にスペーサ30を介して第2の半導体チップ11を固着する。第1の半導体チップ10とリード端子17とを第1のボンディングワイヤ16aで、第2の半導体チップ11とリード端子17とを第2のボンディングワイヤ16bで接続する。第1と第2の半導体チップ10、11は互いに近似したチップサイズと形状を有し、平面視で第1の電極パッド12aが第2の半導体チップ11に隠れる。スペーサ30が形成する空間19を利用して第1の電極パッド12aと第2のボンディングワイヤ16aとの接続を行う。



- 10 第1の半導体チップ
11 第2の半導体チップ
12a 第1の電極パッド
12b 第2の電極パッド
16a 第1のボンディングワイヤ
16b 第2のボンディングワイヤ
30 スペーサ

【特許請求の範囲】

【請求項1】 第1と第2の半導体チップと、前記第1と第2の半導体チップの各表面に形成した電極パッドと、外部接続用の電極手段と、前記第1と第2の半導体チップの電極パッドと前記電極手段とを各々接続するボンディングワイヤとを具備し、前記第1と第2の半導体チップを重畳して1つのパッケージに封止した半導体装置において、
前記第1の半導体チップと前記第2の半導体チップと間にスペーサを設け、該スペーサは前記第1の半導体チップの電極パッドを避けてその上部に空間を形成し、前記空間の上部には前記第2の半導体チップが位置し、
前記第1の半導体チップの電極パッドに接続するボンディングワイヤが、前記空間を通過して前記第1の半導体チップの電極パッドにボンディングされていることを特徴とする半導体装置。

【請求項2】 前記スペーサが絶縁テープであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記スペーサがフィラー入りの接着剤であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体チップを重ね合わせてモールドしつつ、近似した大きさを持つ半導体チップの組み合わせでも小型化できる半導体装置に関する。

【0002】

【従来の技術】 半導体装置の封止技術として最も普及しているのが、図6(A)に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するトランスマーモールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンドし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンドし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】 一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。

【0004】 そこで、以前から発想としては存在していた(例えば、特開昭55-1111517号)、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図6(B)に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード端子4とをボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

【0005】

【発明が解決しようとする課題】 図6(B)の構成は、第1の半導体チップ1aとのワイヤボンディングを確保するため、第2の半導体チップ1bを固着したときに第1の半導体チップ1aの電極パッド部分が露出していること、即ちチップサイズに差のあることが絶対的な条件となる。そのため、例えば同一機種のチップを2個組み込む、或いは別機種のチップであってもそのチップサイズが近似する場合には採用できない欠点があった。2つの半導体チップを十文字に重ね合わせることも考えられるが、これとてチップサイズの縦×横の寸法に差があることが条件となり、依然として制約が残るものである。

【0006】

【課題を解決するための手段】 本発明は上述した従来の課題に鑑み成されたもので、第1と第2の半導体チップと、前記第1と第2の半導体チップの各表面に形成した電極パッドと、外部接続用の電極手段と、前記第1と第2の半導体チップの電極パッドと前記電極手段とを各々接続するボンディングワイヤとを具備し、前記第1と第2の半導体チップを重畳して1つのパッケージに封止した半導体装置において、前記第1の半導体チップと前記第2の半導体チップと間にスペーサを設け、該スペーサは前記第1の半導体チップの電極パッドを避けてその上部に空間を形成し、前記空間の上部には前記第2の半導体チップが位置し、前記第1の半導体チップの電極パッドに接続するボンディングワイヤが、前記空間を通過して前記第1の半導体チップの電極パッドにボンディングされていることを特徴とするものである。

【0007】

【発明の実施の形態】 以下に本発明の一実施の形態を詳細に説明する。

【0008】 先ず、図1は本発明の半導体装置の主要部を示す断面図、図2(A)は全体を示す断面図、同じく図2(B)は全体を示す平面図である。

【0009】 これらの図において、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の拡散熱処理などによって多数の能動、受動回路素子が形成されている。第1と第2の半導体チップ10、11のチップ周辺部分には外部接続用の第1と第2の電極パッド12a、12bがアルミ電極によって形成されている。各電極パッド12a、12bの上にはバッシベーション皮膜が形成され、電極パッド12a、12bの上部が電気接続のために開口されている。バッシベーション被膜はシリコン窒化膜、シリコン酸化膜、ポリイミド系絶縁膜などである。図2(B)の例では、各電極パッド12a、12bは半導体チップ10、11の対向する2辺に沿って集約して配置されている。

【0010】 第1の半導体チップ10がリードフレームのアイランド13上に接着剤14によりダイボンドされ

る。第2の半導体チップ11が第1の半導体チップ10の前記バッショーション皮膜上に固定されている。接着剤14は導電性または絶縁性である。

【0011】第1の電極パッド12aには、金線からなる第1のボンディングワイヤ16aの一端が接続されており、第1のボンディングワイヤ16aの他端は外部導出用のリード端子17にワイヤボンドされている。また、第2の電極パッド12bの表面には、第2のボンディングワイヤ16bの一端がワイヤボンドされており、第2のボンディングワイヤ16bの他端は外部導出用のリード端子17にワイヤボンドされている。

【0012】第1と第2の半導体チップ10、11、リード端子17の一部、および第1と第2のボンディングワイヤ16a、16bを含む主要部は、周囲をエポキシ系の熱硬化樹脂18でモールドされて半導体装置のパッケージを形成する。リード端子17はパッケージの側壁から外部に導出されて外部接続端子となる。導出されたリード端子17はZ字型に曲げ加工されている。アイランド13の裏面側は樹脂18の表面に露出しており、樹脂18表面と同一平面を形成している。

【0013】第1と第2の半導体チップ10、11の組み合わせは任意である。例えば、第1と第2の半導体チップ10、11としてEEPROM(フラッシュメモリ)等の半導体記憶装置を用いた場合(第1の組み合わせ例)は、1つのパッケージで記憶容量を2倍、3倍・・・にすることができる。また、第1の半導体チップ10にEEPROM(フラッシュメモリ)等の半導体記憶装置を、第2の半導体チップ11にはSRAM等の半導体記憶装置を形成するような場合(第2の組み合わせ例)ことも考えられる。どちらの組み合わせの場合でも、各チップにはデータの入出力を行うI/O端子と、データのアドレスを指定するアドレス端子、及びデータの入出力を許可するチップイネーブル端子とを具備しており、両チップのピン配列が酷似している。そのため、第1と第2の半導体チップ10、11のI/O端子やアドレス端子用のリード端子17を共用することが可能であり、各チップに排他的なチップイネーブル信号を印加することにより、どちらか一方の半導体チップのメモリセルを排他的に選択することが可能である。

【0014】上記第1の組み合わせ例の場合には当然の事ながら、第1の半導体チップ10と第2の半導体チップ11が大略同じ大きさと形状を有し、電極パッド12a、12bの配列も同じである。そのため、両者を重ねると、第1の半導体チップ10の電極パッド12aが第2の半導体チップ11の陰に隠れる。具体的に、図2(B)の例では第2の電極パッド12bの直下に第1の電極パッド12aが位置する。又第2の組み合わせ例の場合でも、チップサイズと形状が近似し且つピン配列が酷似する場合があり得る。

【0015】而して、第1と第2の半導体チップ10、

11の間にスペーサ30を形成して、第1の電極パッド12aの上方に空間19を形成し、第2の半導体チップ11をひさし状に突出させている。この空間19は、第1の半導体チップ10の端部から第1の電極12aを露出するだけの幅(図1:W)を持ち、更には第1のボンディングワイヤ16aのワイヤ高さを収納するだけの高さ(図1:t1)を持つ。但しスペーサ30と各半導体チップ10、11との接着剤15の膜厚をも考慮する。この様なスペーサ30としては、膜厚が100~200μ程度の絶縁接着テープ、直径が100~200μの粒状の絶縁フィラーを混入した絶縁性のエポキシ系接着剤等が利用できる。

【0016】スペーサ30は第1の電極パッド12aの上方に空間19を形成し、この空間内で第1のボンディングワイヤ16aが第1の電極パッド12aにボールボンディングされている。ボール部20から連続する第1のボンディングワイヤ16aは空間19を通過し、リード端子17にセカンドボンドされる。第1の半導体チップ10の表面の高さに対してリード端子17の表面が高いような場合には、第1のボンディングワイヤ16aは第1の電極12aから空間19を通過して横方向に導出され、第2の半導体チップ11の端より外側で上昇し、リード端子17先端部に到達する様な軌跡を描く。

【0017】この様に、スペーサ30によって第1の電極パッド12aの上に空間19を設けることによって、第1の半導体チップ11へのワイヤボンディングを可能にし、且つ第1のボンディングワイヤ16aが第2の半導体チップ11の裏面と接触することを回避している。

【0018】本実施の形態では、アイランド13の板厚が150~200μであり、第1と第2の半導体チップ10、11の厚みがバックグラインド工程により250~300μとなっている、接着剤14、15の厚みとして20~30μ必要であり、更にはボンディングワイヤの上部に樹脂の残り厚みとして150~200μは必要である。本願出願人は、これらの厚みを収納しつつ、パッケージの高さt2を1.0mm以下にまで薄形化した半導体装置を実現した。

【0019】図3に第2の実施の形態を示した。リードフレームに代えてテープキャリアと半田ボールを用いた例である。第1の半導体チップ10がポリイミド系のベースフィルム40の上に接着固定され、第1の半導体チップ10の上に第2の半導体チップ11がスペーサ30を挟んで固定される。ベースフィルム40の表面にはリード端子17に相当する導電パターン41が形成されており、第1と第2の電極パッド12a、12bと導電パターン41とが各々第1と第2のボンディングワイヤ16a、16bで接続されている。ベースフィルム40には貫通穴が形成され、該貫通穴を介して、ベースフィルム40の裏面に形成した半田ボール42と接続されている、そして、周囲を熱硬化性の樹脂でモールドされている。

る。

【0020】尚、上記実施例は半導体チップが2個の場合を記載したが、3個、4個を積層する場合でも同様に実施できることは言うまでもない。

【0021】

【発明の効果】以上に説明した通り、本発明によれば、第1と第2の半導体チップ10、11の間にスペーサ30を設け、スペーサ30が形成する空間19を利用して第1の電極12aに第1のボンディングワイヤ16aをボンディングするので、半導体チップ10、11の大きさと形状が近似した場合でも複数の半導体チップを積層してワイヤボンディングが可能になる利点を有する。こ*

*れにより、例えば1つのパッケージに2倍の記憶容量を持たせることが可能になる。

【0022】更に、半導体チップ10、11としてどのようなサイズ、形状のものでも組み合わせが可能になり、製品展開の自由度が増す利点をも有する。

【図面の簡単な説明】

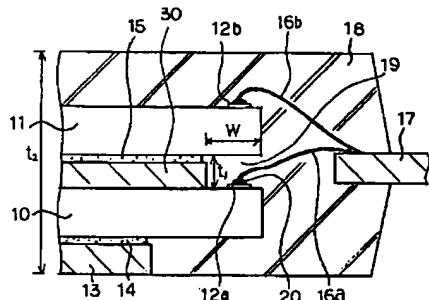
【図1】本発明を説明するための断面図である。

【図2】本発明を説明するための(A)断面図、(B)平面図である。

【図3】本発明の、第2の実施の形態を示す断面図である。

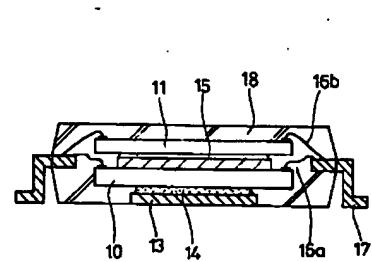
【図4】従来例を説明するための断面図である。

【図1】

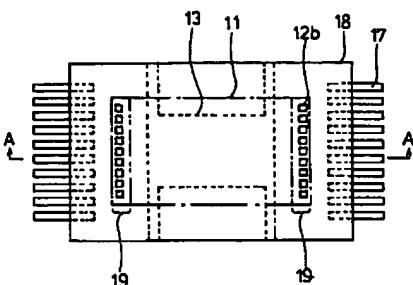


- 10 第1の半導体チップ
- 11 第2の半導体チップ
- 12a 第1の電極パット
- 12b 第2の電極パット
- 16a 第1のボンディングワイヤ
- 16b 第2のボンディングワイヤ
- 30 スペーサ

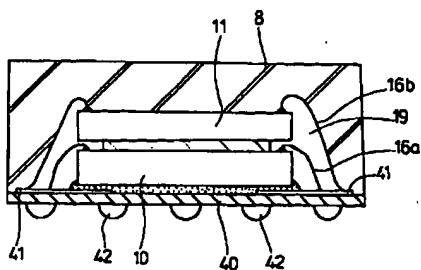
【図2】



(A)



【図3】



【図4】

